

ハード部仕様

	NPN タイプ	PNP タイプ
1. 電源 供給電源電圧 CPU 消費電流	24V DC (±20%) 100 mA	24V DC (±20%) 100 mA
2. CPU 最大プログラム容量 プログラム記憶時間 プログラム演算サイクル数 平均演算処理速度	400 ステップ 内臓 EEPROM 100 年 100,000 サイクル 12 μsec / ステップ	400 ステップ 内臓 EEPROM 100 年 100,000 サイクル 12 μsec / ステップ
3. 使用環境 周囲温度 周囲湿度	0 ~ 70 °C 20 ~ 90 %RH (但し結露なきこと)	0 ~ 70 °C 20 ~ 90 %RH (但し結露なきこと)
4. 入力信号 入力信号点数 入力電圧 Logic 0 設定時 入力電圧 Logic 1 設定時	12点 (最大増設時 24 点) オープンサーキット 8.5V~+30V DC 0V ~+4V DC	12点 (最大増設時 24 点) オープンサーキット 0V~+5V DC +12V~+30V DC
5. 出力信号 トランジスタ出力 (標準タイプ) 出力信号点数 最大負荷電流 推奨負荷電流 出力電圧 Logic 1 設定時 EMF プロテクション 過電流保護回路 リレー出力 (オプション) 出力信号点数 最大接点負荷	8点 (最大増設時16点 TXP20 設定時) シンク 1.0A / OUTPUT シンク 500mA / OUTPUT 1.2V / OUT 500mA 内部設定 ユーザ側設定 4点 (増設ボード TXP24-npn 設定時) 2.0A 30V / OUTPUT	8点 (最大増設時16点 TXP20 設定時) ソース 1.0A / OUTPUT ソース 500mA / OUTPUT 22.6V / OUT 500mA 内部設定 ユーザ側設定 4点 (増設ボード TXP24-pnp 設定時) 2.0A 30V / OUTPUT
6. インターフェイス	RS-485 インターフェイス	RS-485 インターフェイス
7. 外形寸法	100 (L) × 88 (W) × 20 (H)	100 (L) × 88 (W) × 20 (H)
8. 総重量	100g	100g

ソフトウェア部仕様

1. 内部リレー (Internal Relay)	128 点 初列 1~32 点は電源OFF時、その時の状態を保持(キープ)[DIP-SW 1 ON 設定時]
2. タイマー (Timer)	20 点 タイマ設定 0.1~999.9 sec 初列 1~8 点は電源OFF時、その時の状態を保持(キープ)[DIP-SW 1 ON 設定時]
3. カウンタ (Counter)	20 点 ダウンカウンタ設定 0~9999 初列 1~8 点は電源OFF時、その時の状態を保持(キープ)[DIP-SW 1 ON 設定時]
4. シーケンサ命令 (Sequencer) [ステップ シーケンサ]	8 種類 / 32 ステップ ステップシーケンサ/各々32ステップ要素はラダー図上にNC/NO接点共に設定可能。
5. 特殊ビット (Special Bit)	6 種類 クロック パルス ビット パルス周期 / 0.01s 0.02s 0.1s 1.0s 1min ファースト スキャン パルス / ノーマリー ON フラッグ
6. 特殊機能命令 (Special Function)	
a) リバーシブル カウンタ (Reversible Counter)	リバーシブル カウンタは(20点)すべての通常カウンタに設定可能で、初期値[0]から設定値までの数値を加算(アップ)/減算(ダウン)カウントできます。
b) ラッチ/クリアー リレー (Latch/Clear Relay)	ラッチ/クリアー リレーは (128点) すべての内部リレーおよび(24点)出力ビットに設定可能でラッチ命令によって一度[ON]状態になったコイルは、クリアー命令になるまで、その状態を維持します。
c) アドバンス/リセット シーケンス (Advance/Reset Sequencer)	アドバンス シーケンサはステップシーケンサを起動し、リセット シーケンスで解除します。またステップ0でステップシケンスを#0に設定できます。
d) インターロック 開始/終了 (Interlock Begin/End)	ラダー プログラム上で、インターロック開始[[lock]と終了[[Loff]で指定した区間のすべての出力信号を[OFF]にします。タイマーリセット、また他の命令も実行しません。
e) ディファレンシエイト アップ/ダウン (Differentiate Up/Down) [立ち上りパルス/立ち下りパルス]	ディファレンシエイト アップ/ダウンは(128点)すべての内部リレーおよび(24点)出力に設定可能で、ディファレンシエイトアップはその実行状態が[Logic0]から[Logic1]に移行するとき、コイルをワンスキヤンタイムのみ実行します。また、ディファレンシエイトダウンはその実行状態が[Logic1]から[Logic0]に移行するとき、コイルをワンスキヤンタイムのみ実行します。
f) マスター リセット (Master Reset)	シングル機能で、すべてのリレーや出力ビットをゼロクリアーします。タイマー/カウンタ/シーケンサをすべてリセットし動作初期状態にします。